

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kenichi IMAMIYA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NONVOLATILE SEMICONDUCTOR MEMORY AND ITS TEST METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

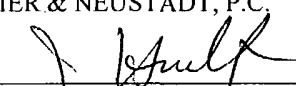
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-204442	July 12, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

James D. Hamilton
Registration No. 28,421



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月12日

出 願 番 号

Application Number:

特願2002-204442

[ST.10/C]:

[JP 2002-204442]

出 願 人

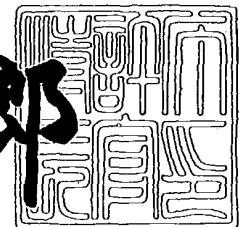
Applicant(s):

株式会社東芝

2003年 6月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



【書類名】 特許願

【整理番号】 A000202117

【提出日】 平成14年 7月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/32

【発明の名称】 不揮発性半導体メモリ及びそのテスト方法

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 今宮 賢一

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 河合 鉦一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体メモリ及びそのテスト方法

【特許請求の範囲】

【請求項1】 不揮発性のメモリセルアレイと、

前記メモリセルアレイ内の1つの書き込み単位に対する書き込みおよびベリファイを繰り返して前記書き込み単位に対するベリファイ書き込みを完了する書き込み回路と、

前記書き込み回路により繰り返し行われる書き込みの各ステップで書き込み電圧を変化させる書き込み電圧制御回路

とをメモリチップに具備し、前記書き込み電圧制御回路は、

書き込み電圧の初期値が設定された後、前記ベリファイの結果がフェイルする毎に供給される第1のクロック信号をカウントし、出力データを前記ベリファイ書き込みの各ステップにおける書き込み電圧のデータとして前記書き込み回路に供給する第1のバイナリカウンタと、

ターゲットとなる書き込み単位に対する前記書き込みおよびベリファイの繰り返し回数を設定するためのデータを保持する第1のレジスタと、

第1のタイミングでリセットされ、前記ターゲットとなる書き込み単位に対するベリファイ書き込みを前記第1のレジスタに設定された回数繰り返しても前記ベリファイ書き込みの結果がフェイルの場合に供給される第2のクロック信号をカウントし、出力データを前記第1のバイナリカウンタに書き込み電圧の初期値として供給する第2のバイナリカウンタと、

前記メモリチップの書き込み開始電圧の適正値を求めるテストをいくつかの書き込み単位で実施したかを記憶する第2のレジスタと、

第2のタイミングでリセットされ、前記第2のレジスタにより指定された回数に対応する複数の書き込み単位に対して前記ベリファイ書き込みを行った結果として得られる前記第2のバイナリカウンタの内容の累積値に相当する値を記憶する累積値記憶回路と、

前記累積値記憶回路の記憶内容および前記第2のレジスタの記憶内容にしたがって前記メモリチップの書き込み開始電圧の適正値を記憶する不揮発性記憶素子

とを具備することを特徴とする不揮発性半導体メモリ。

【請求項2】 不揮発性のメモリセルアレイと、

前記メモリセルアレイ内の1つの消去単位に対する消去およびベリファイを繰り返して前記消去単位に対するベリファイ消去を完了する消去回路と、

前記消去回路により繰り返し行われる消去の各ステップで消去電圧を変化させる消去電圧制御回路

とをメモリチップに具備し、前記消去電圧制御回路は、

消去電圧の初期値が設定された後、前記ベリファイの結果がフェイルする毎に供給される第1のクロック信号をカウントし、出力データを前記ベリファイ消去の各ステップにおける消去電圧のデータとして前記消去回路に供給する第1のバイナリカウンタと、

ターゲットとなる消去単位に対する前記ベリファイ消去の繰り返し回数を設定するためのデータを保持する第1のレジスタと、

第1のタイミングでリセットされ、前記ターゲットとなる消去単位に対するベリファイ消去を前記第1のレジスタに設定された回数繰り返しても前記ベリファイ消去の結果がフェイルの場合に供給される第2のクロック信号をカウントし、出力データを前記第1のバイナリカウンタに消去電圧の初期値として供給する第2のバイナリカウンタと、

前記メモリチップの消去開始電圧の適正値を求めるテストをいくつかの消去単位で実施したかを記憶する第2のレジスタと、

第2のタイミングでリセットされ、前記第2のレジスタにより指定された回数に対応する複数の消去単位に対して前記ベリファイ消去を行った結果として得られる前記第2のバイナリカウンタの内容の累積値に相当する値を記憶する累積値記憶回路と、

前記累積値記憶回路の記憶内容および前記第2のレジスタの記憶内容にしたがって前記メモリチップの消去開始電圧の適正値を記憶する不揮発性記憶素子

とを具備することを特徴とする不揮発性半導体メモリ。

【請求項3】 前記第1のタイミングは、テスト開始時および前記ターゲットとなる単位に対するベリファイ動作を前記第1のレジスタに設定された回数だ

け実行した時であり、前記第2のタイミングは、テスト開始時であることを特徴とする請求項1または2記載の不揮発性半導体メモリ。

【請求項4】 前記累積値記憶回路は、前記第2のクロック信号をカウントすることにより前記第2のバイナリカウンタの内容の累積値に相当する値を記憶する第3のバイナリカウンタであることを特徴とする請求項1乃至3のいずれか1項に記載の不揮発性半導体メモリ。

【請求項5】 前記不揮発性記憶素子は、前記累積値記憶回路の記憶内容を前記第2のレジスタの記憶内容にしたがって平均化した値にオフセット電圧を加えた値を記憶することを特徴とする請求項1乃至4のいずれか1項に記載の不揮発性半導体メモリ。

【請求項6】 前記第2のレジスタは、前記適正值を求めるテストを実施する単位数が外部入力により設定される、または、前記適正值を求めるテストを実施した単位の数をカウントすることを特徴とする請求項1乃至5のいずれか1項に記載の不揮発性半導体メモリ。

【請求項7】 テスト時には、前記第2のバイナリカウンタの初期値は外部入力コマンドに基づいて設定され、当該初期値が前記第1のバイナリカウンタの初期値として設定されることを特徴とする請求項1乃至6のいずれか1項に記載の不揮発性半導体メモリ。

【請求項8】 通常動作時には、前記第2のバイナリカウンタの初期値は前記不揮発性記憶素子に記憶されている開始電圧に基づいて設定され、当該初期値が前記第1のバイナリカウンタの初期値として設定されることを特徴とする請求項1乃至6のいずれか1項に記載の不揮発性半導体メモリ。

【請求項9】 コントロールゲートおよびフローティングゲートを有するメモリセルのアレイと、レジスタに格納されたデータに基づいて前記初期電圧が決定される書き込み電圧生成回路を有する不揮発性半導体メモリにおいて、前記メモリセルにデータを書き込む際、書き込み動作を複数ステップに分けて各ステップ毎に前記コントロールゲートに与える書き込み電圧を、初期電圧から一定電圧ずつ上げてゆき、半導体チップ毎の特性を反映した書き込み電圧データを得るテスト方法であって、

前記ステップの回数を所定の回数に設定する第1のステップと、

ある初期電圧から書き込み動作を開始し、書き込み対象となる1つの書き込み単位内のメモリセルが全て書き込まれているか否かに応じてそれぞれパス、フェイルを出力する自己判定テストを行なわせる第2のステップと、

前記自己判定テストの結果がフェイルであれば前記初期電圧を一定電圧だけ上げる方向に前記レジスタのデータを変更し、この変更したデータに基づく初期電圧が所定値に達するまで、上記変更したデータに基づく初期電圧から前記第2のステップを実行させる処理を繰り返す第3のステップと、

前記第3のステップにより変更したデータに基づく初期電圧が所定値に達した後、書き込み対象となる書き込み単位を変えて前記第2のステップおよび第3のステップを実行させる処理を所望の複数の書き込み単位に対して実行する第4のステップと、

前記複数の書き込み単位に対する実行により得られた累積データから1つの書き込み単位当りの平均値を求め、前記レジスタに半導体チップ毎の特性を反映した書き込み電圧データを設定する第5のステップ

とを具備することを特徴とする不揮発性半導体メモリのテスト方法。

【請求項10】 ウェル領域上に形成されたコントロールゲートおよびフローティングゲートを有するメモリセルのアレイと、レジスタに格納されたデータに基づいて前記初期電圧が決定される消去電圧生成回路を有する不揮発性半導体メモリにおいて、前記メモリセルのデータを消去する際、消去動作を複数ステップに分けて各ステップ毎に前記ウェル領域に与える消去電圧を、初期電圧から一定電圧ずつ上げてゆき、半導体チップ毎の特性を反映した消去電圧データを得るテスト方法であって、

前記ステップの回数を所定の回数に設定する第1のステップと、

ある初期電圧から消去動作を開始し、消去対象となる1つの消去単位内のメモリセルが全て消去されているか否かに応じてそれぞれパス、フェイルを出力する自己判定テストを行なわせる第2のステップと、

前記自己判定テストの結果がフェイルであれば前記初期電圧を一定電圧だけ上げる方向に前記レジスタのデータを変更し、この変更したデータに基づく初期電

圧が所定値に達するまで、上記変更したデータに基づく初期電圧から前記第 2 のステップを実行させる処理を繰り返す第 3 のステップと、

前記第 3 のステップにより変更したデータに基づく初期電圧が所定値に達した後、消去対象となる消去単位を変えて前記第 2 のステップおよび第 3 のステップを実行させる処理を所望の複数の消去単位に対して実行する第 4 のステップと、

前記複数の消去単位に対する実行により得られた累積データから 1 つの消去単位当たりの平均値を求め、前記レジスタに半導体チップ毎の特性を反映した消去電圧データを設定する第 5 のステップ

とを具備することを特徴とする不揮発性半導体メモリのテスト方法。

【請求項 1 1】 前記第 2 のステップは、外部入力コマンドにより起動されることを特徴とする請求項 9 または 1 0 記載の不揮発性半導体メモリのテスト方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、不揮発性半導体メモリ及びそのテスト方法に係り、特にペリファイ書き込みおよびペリファイ消去を行なう不揮発性半導体メモリにおける書き込み電圧の初期値および消去電圧の初期値を設定する回路及びその方法に関するもので、例えば N A N D 型フラッシュメモリに適用されるものである。

【0 0 0 2】

【従来の技術】

不揮発性半導体メモリの 1 種である N A N D 型フラッシュメモリについては、例えば「K.Imamiya et.al.” A 130-mm² 256-Mb NAND Flash with Shallow Trench Isolation Technology”, IEEE J.Solid State Circuits, Vol.34,pp.1536-1543, Nov.1999」などの文献によって発表されている。

【0 0 0 3】

このような不揮発性半導体メモリでは、ウェハ・テストの工程において、電圧トリミングと不良セルのリダンダンシ置き換えが行われる。

【0 0 0 4】

図15は、従来のNAND型フラッシュメモリのウェハ・テスト工程を概略的に示すフローチャートである。

【0005】

各工程の動作内容は下記の通りである。

【0006】

DCテストでは、コンタクト・チェック、スタンバイ電流等のDCチェックを行なう。Vref（基準電圧）トリミングでは、まずウェハ上の各チップのVrefをモニタし、次いでこれらをターゲット値に補正するためにトリミング値をいくらにすればよいかを計算する。

【0007】

次に、Vpgm（書き込み電圧）初期値トリミングを行なう。NAND型フラッシュメモリでは書き込み電圧Vpgmを初期値から段階的に上げてゆくIncremental Step Pulse Programming Schemeを採用している。この方法については、例えば「K.D.Suh et.al., "A 3.3V 32Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme", ISSCC Digest of Technical Papers, pp.128-129, Feb.1995」に記載されている。

【0008】

この書き込み方法では、書き込み時間（もしくは書き込みループ回数）が所定の時間（回数）内に収まるようにするために、Vpgmの初期値を最適化する必要がある。そのためにはまず、メモリセルアレイ内から書き込み消去のできるブロック（グッド・ブロック）を見つける必要がある。なぜならこの段階では未だ不良セルのリダンダンシ置き換えがなされていないからである。

【0009】

グッド・ブロックが見つかったら、Vpgmの初期値を変えつつそのブロックに書き込みを行い、最適値を決定する。

【0010】

続いて電圧トリミング用フューズ・カットを行なう。この工程では、ウェハをレーザー・ブロー装置に移し、上記Vrefトリミング、Vpgm初期値トリミングで決定したトリミング値に応じてフューズ・カットする。

【0011】

続いて不良カラム・ロウ検出を行なう。ここでは、リダンダシシ置き換えのためにメモリセルアレイに数通りのデータパターンを書き込み、不良カラム・ロウを検出する。

【0012】

次に、リダンダシシ用フューズ・カットを行なう。ここでは、ウェハを再度レーザー・ブロー装置に移し、リダンダシシ置き換えのフューズ・カットをする。

【0013】

なお、このフローチャートにおいて、不良カラム・ロウ検出の前に電圧トリミング用のフューズ・カットを行なうのは、V_{pgm}等の内部生成電圧がずれた状態で不良カラム・ロウ検出を行なうと不良が見つけられない可能性があるためである。

【0014】

上記のようなウェハ・テスト工程のテスト時間は、チップのコストに反映される。したがってチップコストを削減するには、必要なウェハ・テストを行ないつつテスト時間を極力短縮することが必要である。

【0015】

上述したウェハ・テストの工程で、テスト時間を長くする要因の1つは、フューズ・カット工程の存在である。レーザー・ブローによりフューズ・カットを行なうためには、ウェハをテストから取り出してレーザー・ブロー装置に移す必要があり、ここで時間のオーバーヘッドが生じる。上記ウェハ・テスト工程では特に、フューズ・カットを2回に分けて行なう必要があるためオーバーヘッドがより顕著なものとなっている。

【0016】

上記フューズ・カット工程分の時間を削減するための方法が、本願出願人による特開2001-176290（特願平11-351396号）の「不揮発性半導体装置」で述べられている。

【0017】

また、本願出願人は、特開2002-117699（特願2000-303854）の「半導体装置及

びそのテスト方法」により、不揮発性半導体メモリにおける書き込み電圧／消去電圧のトリミング値やリダンダンシの情報をメモリセルアレイ内に記憶させ、メモリに電源を投入した時点でメモリセルアレイ内から上記情報を取り出して所定のレジスタに格納することにより、メモリの通常の動作状態では上記レジスタに電圧のトリミング値やリダンダンシの情報が格納されるようにすることを提案した。

【0018】

ところで、従来のNAND型フラッシュメモリにおいては、チップ毎にテストを行った結果で書き込みまたは消去の初期電圧を決定しており、それに伴う問題点を以下で詳細に説明する。

【0019】

図9は、NAND型フラッシュメモリにおける読み出し／書き込み動作を説明するために関連する構成を概略的に示している。

【0020】

図9において、メモリセルアレイ11は、電氣的書き替えが可能な不揮発性のメモリセルが複数直列に接続されてなるNANDセルユニットが、カラム、ロウ方向にマトリクス状に配列して構成されている。上記各メモリセルは、コントロールゲートとフローティングゲートとが積層されたスタックドゲート型のMOSトランジスタ構造を有している。

【0021】

ここで、メモリセルアレイ11は、他とは絶縁分離されたウェル領域上に形成されており、メモリセルアレイ11内のメモリセルのデータを消去する際は、消去動作を複数ステップに分けて各ステップ毎に上記ウェル領域に与える消去電圧を初期電圧から一定電圧ずつ上げてゆくような消去方法が採られる。

【0022】

上記メモリセルアレイ11には、互いに交差するようにそれぞれ複数本のワード線及びビット線が設けられており、複数本のワード線はロウデコーダ12のデコード出力によって選択的に駆動される。

【0023】

データの読み出し時には、メモリセルアレイ 11 内のメモリセルから読み出された信号が、ビット線を介してページバッファ 13 に供給されてセンスされた後、カラム単位で選択されて外部に出力される。

【0024】

データの書き込み時には、外部から供給される書き込みデータに応じた電圧がページバッファ 13 を介してビット線 BL に供給され、選択メモリセルにデータが書き込まれる。

【0025】

前記メモリセルアレイ 11 のワード線は複数の NAND セルユニットで共通に接続されており、この複数の NAND セルユニットは、データ消去の最小単位となるセルブロックを構成しており、複数のセルブロックがビット線を共通にして配置されている。

【0026】

1 つのワード線により選択されるメモリセルの範囲は 1 ページと呼ばれ、データの書き込み動作は、1 ページ単位で一括して行われる。例えば 512 バイト分あるデータレジスタに保持された書き込みデータがビット線を通して一括して書き込まれる。

【0027】

図 10 (a)、(b) は、NAND 型フラッシュメモリのメモリセル（セルトランジスタ）に対するデータの書き込み動作時のバイアス関係を示している。

【0028】

図 10 (a) に示すように、書き込みデータが“0”の場合は、セルトランジスタのウェル領域に書き込みバイアス（本例では 0V）を加える。このように書き込みバイアスを加えられたセルトランジスタは、電子がフローティングゲートに注入され、その閾値が正側にシフトし、書き込みが行われる。

【0029】

図 10 (b) に示すように、書き込みデータが“1”の場合は、セルトランジスタのウェル領域に書き込みバイアスを加えないでフローティング状態にする。このように書き込みバイアスを加えられないセルトランジスタは、電子がフロー

ティングゲートに注入されないので、その閾値は低いままで変化しない（書き込みが行われたい）。

【 0 0 3 0 】

図 1 1 は、NAND型フラッシュメモリの読み出し時のメモリセルユニットのバイアス関係を示す。

【 0 0 3 1 】

選択ワード線（本例ではWL 1 4）には0Vの電圧が印加され、非選択ワード線（本例では、WL 0 ~ WL 1 3、WL 1 5）、ビット線（BL）側の選択ゲートトランジスタおよび共通ソース線（SL）側の選択ゲートトランジスタの各ゲート線SGD、SGSには読み出し電圧V readが印加される。この場合、非選択ワード線（本例では、WL 0 ~ WL 1 3、WL 1 5）に読み出し電圧V readが印加されるセルトランジスタおよびゲート線に読み出し電圧V readが印加される選択ゲートトランジスタは、オン状態になる必要がある。

【 0 0 3 2 】

そのためには、データ“0”の状態（書き込まれた状態）のセルトランジスタの閾値は、選択ワード線電圧(0V)と非選択ワード線電圧(V read)の間にマージンをもって収まる必要がある。しかし、セルトランジスタの書き込み特性は、ロット毎、ウェハ毎、チップ毎、さらには同一チップ内のセル毎にばらつく。

【 0 0 3 3 】

図 1 2 は、NAND型フラッシュメモリのチップ全体に適当な書き込みバイアスを加えた場合の書き込み後のセルトランジスタの閾値のばらつきを示している。ここでは、書き込み後のセルトランジスタの閾値が0VとV readの間にマージンを持って収まらない様子が分かる。

【 0 0 3 4 】

この対策として、メモリの書き込みは書き込み動作とベリファイ動作を繰り返して行ってベリファイがパスするまで行なうベリファイ書き込みという手法を用いて書き込み後の閾値のばらつきを小さく抑えている。

【 0 0 3 5 】

図 1 3 および図 1 4 は、NAND型フラッシュメモリにおけるベリファイ書き

込み時の書き込みバイアスの変化を示す。

【0036】

ベリファイ書き込みは、図13に示すように、書き込みおよびベリファイを繰り返す過程で書き込み毎に書き込みバイアス（ワード線電圧）を弱いものから強いものに徐々に変化させ、図14に示すように、ベリファイ電圧よりも高く書き込みが行われたセルに対しては、次の書き込みでは書き込みバイアスを加えないという手法である。

【0037】

上記したようなベリファイ書き込みを不揮発性メモリのテストで行なう際、十分に低い書き込みバイアスから書き込みを始めれば書き込み後の閾値分布は狭くなるが、あまり低い書き込みバイアスから書き込みを始めると、書き込みの繰り返し回数が多くなり、書き込みのパフォーマンスが悪くなってしまう。

【0038】

上記したようなベリファイ書き込みを始める電圧（初期値）を設定する際、メモリセルの書き込み特性は前記したようにチップ毎に特徴を持つので、チップ毎、または、それよりも細かい単位で、ターゲットとする書き込み回数で書き込みが終了するように書き込み電圧の初期値を設定する必要がある。

【0039】

【発明が解決しようとする課題】

しかし、従来は、ベリファイ書き込みまたはベリファイ消去の初期電圧は、1つの書き込み単位または消去単位のテストを行った結果で決定されており、典型的な書き込み特性または消去特性を示すメモリセル群から取得されたとは限らず、この初期電圧のトリミング値が適正でないものになってしまうおそれがあるという問題があった。

【0040】

本発明は上記の問題点を解決すべくなされたもので、複数の書き込みまたは消去単位で従来例と同様のテストを自動的に行い、この結果の平均値をトリミングデータ決定の基準とすることにより、より適正なトリミングデータを得ることができ、書き込みもしくは消去電圧の最適値をウェハ・テスト工程における自動的

なテストにより自動的に選択し得る不揮発性半導体メモリ及びそのテスト方法を提供することを目的とする。

【 0 0 4 1 】

【課題を解決するための手段】

本発明の第1の不揮発性半導体メモリは、不揮発性のメモリセルアレイと、前記メモリセルアレイ内の1つの書き込み単位に対する書き込みおよびベリファイを繰り返して前記書き込み単位に対するベリファイ書き込みを完了する書き込み回路と、前記書き込み回路により繰り返される書き込みの各ステップで書き込み電圧を変化させる書き込み電圧制御回路とをメモリチップに具備し、前記書き込み電圧制御回路は、書き込み電圧の初期値が設定された後、前記ベリファイの結果がフェイルする毎に供給される第1のクロック信号をカウントし、出力データを前記ベリファイ書き込みの各ステップにおける書き込み電圧のデータとして前記書き込み回路に供給する第1のバイナリカウンタと、ターゲットとなる書き込み単位に対する前記書き込みおよびベリファイの繰り返し回数を設定するためのデータを保持する第1のレジスタと、第1のタイミングでリセットされ、前記ターゲットとなる書き込み単位に対するベリファイ書き込みを前記第1のレジスタに設定された回数繰り返しても前記ベリファイ書き込みの結果がフェイルの場合に供給される第2のクロック信号をカウントし、出力データを前記第1のバイナリカウンタに書き込み電圧の初期値として供給する第2のバイナリカウンタと、前記メモリチップの書き込み開始電圧の適正値を求めるテストをいくつかの書き込み単位で実施したかを記憶する第2のレジスタと、第2のタイミングでリセットされ、前記第2のレジスタにより指定された回数に対応する複数の書き込み単位に対して前記ベリファイ書き込みを行った結果として得られる前記第2のバイナリカウンタの内容の累積値に相当する値を記憶する累積値記憶回路と、前記累積値記憶回路の記憶内容および前記第2のレジスタの記憶内容にしたがって前記メモリチップの書き込み開始電圧の適正値を記憶する不揮発性記憶素子とを具備することを特徴とする。

【 0 0 4 2 】

本発明の第2の不揮発性半導体メモリは、不揮発性のメモリセルアレイと、前

記メモリセルアレイ内の1つの消去単位に対する消去およびベリファイを繰り返して前記消去単位に対するベリファイ消去を完了する消去回路と、前記消去回路により繰り返し行われる消去の各ステップで消去電圧を変化させる消去電圧制御回路とをメモリチップに具備し、前記消去電圧制御回路は、消去電圧の初期値が設定された後、前記ベリファイの結果がフェイルする毎に供給される第1のクロック信号をカウントし、出力データを前記ベリファイ消去の各ステップにおける消去電圧のデータとして前記消去回路に供給する第1のバイナリカウンタと、ターゲットとなる消去単位に対する前記ベリファイ消去の繰り返し回数を設定するためのデータを保持する第1のレジスタと、第1のタイミングでリセットされ、前記ターゲットとなる消去単位に対するベリファイ消去を前記第1のレジスタに設定された回数繰り返しても前記ベリファイ消去の結果がフェイルの場合に供給される第2のクロック信号をカウントし、出力データを前記第1のバイナリカウンタに消去電圧の初期値として供給する第2のバイナリカウンタと、前記メモリチップの消去開始電圧の適正値を求めるテストをいくつかの消去単位で実施したかを記憶する第2のレジスタと、第2のタイミングでリセットされ、前記第2のレジスタにより指定された回数に対応する複数の消去単位に対して前記ベリファイ消去を行った結果として得られる前記第2のバイナリカウンタの内容の累積値に相当する値を記憶する累積値記憶回路と、前記累積値記憶回路の記憶内容および前記第2のレジスタの記憶内容にしたがって前記メモリチップの消去開始電圧の適正値を記憶する不揮発性記憶素子とを具備することを特徴とする。

【0043】

本発明の第1の不揮発性半導体メモリのテスト方法は、コントロールゲートおよびフローティングゲートを有するメモリセルのアレイと、レジスタに格納されたデータに基づいて前記初期電圧が決定される書き込み電圧生成回路を有する不揮発性半導体メモリにおいて、前記メモリセルにデータを書き込む際、書き込み動作を複数ステップに分けて各ステップ毎に前記コントロールゲートに与える書き込み電圧を、初期電圧から一定電圧ずつ上げてゆき、半導体チップ毎の特性を反映した書き込み電圧データを得るテスト方法であって、前記ステップの回数を所定の回数に設定する第1のステップと、ある初期電圧から書き込み動作を開始

し、書き込み対象となる 1 つの書き込み単位内のメモリセルが全て書き込まれているか否かに応じてそれぞれパス、フェイルを出力する自己判定テストを行なわせる第 2 のステップと、前記自己判定テストの結果がフェイルであれば前記初期電圧を一定電圧だけ上げる方向に前記レジスタのデータを変更し、この変更したデータに基づく初期電圧が所定値に達するまで、上記変更したデータに基づく初期電圧から前記第 2 のステップを実行させる処理を繰り返す第 3 のステップと、前記第 3 のステップにより変更したデータに基づく初期電圧が所定値に達した後、書き込み対象となる書き込み単位を変えて前記第 2 のステップおよび第 3 のステップを実行させる処理を所望の複数の書き込み単位に対して実行する第 4 のステップと、前記複数の書き込み単位に対する実行により得られた累積データから 1 つの書き込み単位当りの平均値を求め、前記レジスタに半導体チップ毎の特性を反映した書き込み電圧データを設定する第 5 のステップとを具備することを特徴とする。

【 0 0 4 4 】

本発明の第 2 の不揮発性半導体メモリのテスト方法は、ウェル領域上に形成されたコントロールゲートおよびフローティングゲートを有するメモリセルのアレイと、レジスタに格納されたデータに基づいて前記初期電圧が決定される消去電圧生成回路を有する不揮発性半導体メモリにおいて、前記メモリセルのデータを消去する際、消去動作を複数ステップに分けて各ステップ毎に前記ウェル領域に与える消去電圧を、初期電圧から一定電圧ずつ上げてゆき、半導体チップ毎の特性を反映した消去電圧データを得るテスト方法であって、前記ステップの回数を所定の回数に設定する第 1 のステップと、ある初期電圧から消去動作を開始し、消去対象となる 1 つの消去単位内のメモリセルが全て消去されているか否かに応じてそれぞれパス、フェイルを出力する自己判定テストを行なわせる第 2 のステップと、前記自己判定テストの結果がフェイルであれば前記初期電圧を一定電圧だけ上げる方向に前記レジスタのデータを変更し、この変更したデータに基づく初期電圧が所定値に達するまで、上記変更したデータに基づく初期電圧から前記第 2 のステップを実行させる処理を繰り返す第 3 のステップと、前記第 3 のステップにより変更したデータに基づく初期電圧が所定値に達した後、消去対象とな

る消去単位を変えて前記第2のステップおよび第3のステップを実行させる処理を所望の複数の消去単位に対して実行する第4のステップと、前記複数の消去単位に対する実行により得られた累積データから1つの消去単位当りの平均値を求め、前記レジスタに半導体チップ毎の特性を反映した消去電圧データを設定する第5のステップとを具備することを特徴とする。

【0045】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0046】

図1は、本発明の第1の実施形態に係るNAND型フラッシュメモリの概略的な構成を示すブロック図である。

【0047】

図1において、メモリセルアレイ (Memory Cell Array) 11は、電氣的書き替えが可能な不揮発性メモリセルがカラム、ロウ方向にマトリクス状に配列して構成されている。上記各メモリセルは、コントロールゲートとフローティングゲートとが積層されたスタックゲート型のMOSトランジスタ構造を有している。

【0048】

上記メモリセルアレイ11は、他とは絶縁分離されたウェル領域上に形成されており、メモリセルアレイ11内のメモリセルのデータを消去する際は、消去動作を複数ステップに分けて各ステップ毎に上記ウェル領域に与える消去電圧を初期電圧から一定電圧ずつ上げてゆくような消去方法が採られる。

【0049】

また、メモリセルアレイ11には、不良セルを置き換えるためのリダンダシカラムが設けられており、さらに、初期設定データを格納するための初期設定データ領域 (図示せず) が設定されている。

【0050】

そして、メモリセルアレイ11には、互いに交差するようにそれぞれ複数本のワード線及びビット線が設けられており、複数本のワード線はロウデコーダ (Ro

w Decoder) 12 のデコード出力によって選択的に駆動される。

【0051】

データの読み出し時には、メモリセルアレイ 11 内のメモリセルから読み出された信号がビット線を介してページバッファ (Page Buffer) 13 に供給され、ここでセンスされる。ページバッファ 13 でセンスされたデータは、カラムゲート回路 (Column Gate) 14 によってカラム単位で選択されて I/O バス (I/O Bus) 15 に供給され、さらに I/O バッファ (I/O Buffer) 16 から外部に出力される。

【0052】

データの書き込み時には、外部から供給される書き込みデータが I/O バッファ 16 ~ I/O バス 15 ~ カラムゲート回路 14 に供給され、さらに、ページバッファ 13 を介した書き込みデータに応じた電圧がビット線に供給され、選択メモリセルにデータが書き込まれる。

【0053】

また、I/O バッファ 16 には、データ書き込み時には書き込みデータが供給される他に、メモリセルを選択するためのアドレスやメモリの動作を制御するためのコマンドがチップ外部から供給される。

【0054】

そして、アドレスはアドレスバッファ (Address Buffer) 17 に取り込まれ、コマンドはコマンドバッファ (Command Buffer) 18 に取り込まれる。アドレスバッファ 17 に取り込まれたアドレスのうち、ロウアドレスはロウデコーダ 12 に、カラムアドレスはカラムゲート回路 14 に供給される。

【0055】

不良カラムアドレスレジスタ (Bad Column Add. Register) 19 は、メモリセル 11 に不良カラムが発生している場合にリダンダンシ置き換えをすべき不良カラムに対応した不良カラムアドレスを格納するために設けられている。

【0056】

なお、この実施の形態におけるメモリでは、ブロック・リダンダンシは設けないが、その代わりに不良ブロックを検出してフラグを立て、ユーザに不良ブロッ

ク・アドレスが判るようにしている。不良ブロックのフラグ情報はロウデコーダ 12 内のラッチに記憶される。この不良カラムアドレスレジスタ 19 は上記 I/O バス 15 に接続されている。

【0057】

内部電圧生成回路 (Voltage Generator) 20 は、チップ内部で使用される各種電圧を生成するものであり、この電圧には例えば Vref (基準電圧)、Vpgm (書き込み電圧)、内部降圧電圧 (Vdd)、消去電圧 (Verase)、非選択セルのワード線に供給される非選択セルワード線電圧 (Vread) などがある。内部電圧生成回路 20 で生成された各種電圧はロウデコーダ 12 などに供給される。

【0058】

トリミングデータレジスタ (Trim. Data Register) 21 は、上記内部電圧生成回路 20 で上記各種電圧を生成する際に使用される調整用データ (トリミングデータ) を格納する。

【0059】

タイマー回路 (Timer) 22 は、チップ内部で使用される各種タイミングパルスを生成する。

【0060】

トリミングデータレジスタ (Trim. Data Register) 23 は、上記タイマー回路 22 で上記各種タイミングパルスを生成する際に使用される調整用データ (トリミングデータ) を格納する。

【0061】

上記トリミングデータレジスタ 21、23 は、従来技術におけるフューズの役割をする。即ち、電源投入時に、メモリセルアレイ 11 内の後述する初期設定データ領域からレジスタに格納すべきデータが読み出され、1/O バス 15 を介して各レジスタ 21、23 に順次格納される。

【0062】

I/O 制御回路 (I/O Control) 24 は、外部から供給されるチップイネーブル信号 /CE、リードイネーブル信号 /RE、ライトイネーブル信号 /WE などの各種制御信号を取り込む。

【0063】

このI/O制御回路24に取り込まれた制御信号及び前記コマンドバッファ18に取り込まれたコマンドは制御回路(Control Logic) 25に供給される。

【0064】

この制御回路25は、I/O制御回路24からの制御信号及びコマンドをデコードした結果に基づいてチップ内部の各回路の動作を制御(データ書き込み、データ消去のシーケンス制御を含む)する。この制御回路25内には制御用のデータを格納するための各種レジスタが設けられている。また、制御回路25は外部回路に対して、チップがアクセス可能である否かの状態を示すレディー/ビジー信号(R/Bn)を出力する機能を有している。

【0065】

上記制御回路25は、データ書き込み時には、選択されたメモリセルでの書き込み動作、書き込み状態を確認するためのベリファイ動作を行い、書き込み不十分のメモリセルには再度書き込みを行なうという一連の制御を行なう。そして、データ消去時には、選択されたブロックでの消去動作、消去状態を確認するためのベリファイ動作を行い、消去不十分の場合には再度消去を行なうという一連の制御を行なう。

【0066】

図2は、図1中のメモリセルアレイ11の一部の等価回路を示す。

【0067】

メモリセルアレイは、電氣的書き換え可能な不揮発性のメモリセルをマトリクス配列して構成される。メモリセルは、例えばp型シリコン基板の素子分離絶縁膜により区画された素子形成領域に、トンネル絶縁膜を介して浮遊ゲートが形成され、浮遊ゲート上にゲート間絶縁膜を介して制御ゲートが積層されたスタックトゲート型のMOSトランジスタ(セルトランジスタ)を有する。

【0068】

この例では、メモリセルアレイは、16個のセルトランジスタが直列接続されたNANDセルユニットと選択ゲートトランジスタがマトリクス状に多数配置されている。

【0069】

この場合、各セルトランジスタのソース、ドレイン拡散層は、NANDセルユニット内の隣接するセルトランジスタ同士で共有されている。そして、NANDセルユニットの一端は、選択ゲートトランジスタS1を介してビット線BLに接続され、他端は選択ゲートトランジスタS2を介して共通ソース線SLに接続される。

【0070】

前記16個のセルトランジスタの制御ゲートは、それぞれ一方向に連続的に配設されてワード線WL0～WL15となる。選択ゲートトランジスタS1、S2のゲート電極は、セルトランジスタと同様の積層ゲート構造を有する。この場合、積層ゲート電極がワード線WLと同じ方向に連続的に配設されており、浮遊ゲート分離は行われず、選択ゲート線SGD、SGSとなる。セルアレイ上は層間絶縁膜で覆われ、その上にビット線(BL)が形成される。

【0071】

この様なメモリセルアレイ1の複数のセルブロックB0、B1、…、Bnうち、適当なセルブロックの一つ或いは複数個、例えばセルブロックBnが初期設定データを記憶するための初期設定データ領域として使用される。

【0072】

この初期設定データ領域は、ビット線BL及びワード線WLの選択駆動により、データの書き込み、消去及び読み出しが可能ではあるが、EEPROMの通常の動作においては外部からはアクセスされない。したがって、データの一括消去あるいはブロック単位の消去の際にも、この初期設定データ領域3は消去条件に設定されないので初期設定データ領域内のデータは消去されない。

【0073】

前記16個のセルトランジスタのワード線WL0～WL15は複数のNANDセルユニットで共通に接続されており、この複数のNANDセルユニットは、データ消去の最小単位となるセルブロックを構成している。そして、複数のセルブロックB0、B1、…、Bnがビット線BLを共通にして配置されている。

【0074】

1つのワード線WLにより選択されるメモリセルの範囲は1ページと呼ばれ、データの書き込み動作は、1ページ単位で一括して行われる。例えば、512 バイト分あるデータレジスタに保持された書き込みデータがビット線を通し一括して書き込まれる。

【0075】

図3は、上記NAND型フラッシュメモリのウェハ・テスト時における各工程を示すフローチャートである。

【0076】

次に、図3のフローチャートを参照してウェハ・テストの工程を説明する。

【0077】

(1) DCテスト (DC Test)

まず、DCテストを行なう。この部分は自動テスト化できないが、トータルのテスト時間に占める割合は小さいので、テスト時間への影響は少ない。

【0078】

(2) デフォルト・リセット (Default Reset)

全レジスタをデフォルト状態（初期状態）にセットする。トリミングデータレジスタ21、23に対しては、各レジスタの中身がデフォルトのトリミング値となるようリセットする。一方、不良カラムアドレスレジスタ19と前記不良ブロック・フラグに関しては、不良カラムおよび不良ブロックがない状態にリセットする。

【0079】

(3) タイマー及び電圧トリミング (Timer & Voltage Trimming)

タイマー回路22で生成するパルス信号のパルス幅のトリミング及び内部電圧生成回路20で生成する電圧の値のトリミングを行なう。ここでトリミングする電圧は、基準電圧Vref、内部降圧電圧Vdd並びに非選択セルワード線電圧Vreadの3つである。

【0080】

(4) 不良カラム検出及び置き換え (Bad Col. Detection & Repair)

従来は正常なメモリブロック (Good Block) を検出してVpgmの初期値のトリ

ミングを行なった後に不良カラム検出を実施していた。しかし、不良カラムが存在するとチップ内に正常なメモリブロックが存在しないという事態が起こり得る。なぜなら、正常なメモリブロックかどうかは書き込み消去を行なって一括検知をパスするかどうかで判定するが、不良カラムがあると一括検知で常にフェイル (Fail) となるからである。

【0081】

そこで、この実施の形態のメモリでは、不良カラム検出と置き換えを行なった後、正常なメモリブロックの調査 (Good Block Search) を行い、Vpgmの初期値のトリミング (Vpgm Initial Value Trimming) を実施する。

【0082】

Vpgmの初期値のトリミングを行なう前に不良カラム検出と置き換えを行なうには、書き込み消去せずに不良カラムを検出する必要がある。そこで、ビット線のリークチェックやオープンチェック等を行って不良カラムを検出する。逆に言えば、このような手法で不良カラムが検出できるので、不良カラム検出の工程をVpgmの初期値のトリミング工程の前に持ってくるのが可能となる。

【0083】

(5) 正常なメモリブロックのサーチ (Good Block Search)

Vpgmの初期値を決定するための書き込み動作は、書き込み消去のできるブロックで行なう必要がある。そこで、正常なメモリブロックのサーチを行なう。

【0084】

図4は、上記正常なメモリブロックのサーチ工程のシーケンスを示すフローチャートである。

【0085】

まず、適当な初期ブロック・アドレスを入力する (Input Initial Block Address)。初期ブロック・アドレスは先頭ブロック・アドレスでなくてもよい。次にブロック消去コマンドを入力し、このブロックを消去する (Block Erase)。

【0086】

消去動作に引き続いて、消去ベリファイ (一括検知で全て“1”状態になっていることをチェックする) が行なわれ、その結果を図1の中の制御回路25など

に設けられている第1のステータスレジスタに格納する。

【0087】

次に、マニュアルプログラム (Manual Program) コマンドを入力し、選択されているページに対し全て“0”書き込みを行なう。このマニュアルプログラムでは書き込みループ回数を1回とし、Vpgmは最大値もしくはそれに近い値にする。プログラム後はバリファイ動作を行い、その結果を同じく制御回路25などに設けられている第2のステータスレジスタに格納する (Manual All “0” Program (Vpgm fix))。

【0088】

続いて、アドレスレジスタコントロールコマンドを入力する (Input Address Register Control Command)。これにより、上記第1、第2のステータスレジスタの内容のいずれか1つもしくは両方がフェイル (Fail) であればブロック・アドレスがインクリメントされる。両方のステータスレジスタの内容がパス (Pass) であればそのアドレスに留まる。

【0089】

なお、上記のように第1、第2のステータスレジスタの内容を見る代わりに、パス／フェイル結果を累積して記憶するような1つのステータスレジスタを用いて上記操作を行ってもよい。即ち、直前の消去もしくは書き込みバリファイの結果がパスであればレジスタのデータを変えず、フェイルであればレジスタの状態を強制的に第1の信号状態にするようなステータスレジスタを設け、このレジスタデータがフェイルである場合にブロック・アドレスをインクリメントさせるようにする。最初にこのステータスレジスタをパス状態にしておいてから、消去・書き込みを行なえば、消去もしくは書き込みのいずれかがフェイルのとき、このレジスタはフェイル状態になる。従って、1つのステータスレジスタにより上記と同様の機能を実現することができる。

【0090】

ブロック消去からアドレスレジスタコントロールコマンド入力までのシーケンスを、所定の回数繰り返す。この結果、シーケンスが終了した時点ではブロック・アドレスのバッファに各々のチップの正常なメモリブロック (Good Block) の

アドレスが入っていることになる。この操作はタイマー・トリミングや電圧トリミングの場合と同様、完全並列動作が可能である。アドレスレジスタコントロールコマンドの役割は、タイマー・トリミングや電圧トリミングにおけるレジスタコントロールコマンドの役割に相当している。

【0091】

(6) Vp_{gm}初期値トリミング (Vp_{gm} Initial Value Trimming)

図5は、上記Vp_{gm}初期値トリミングのシーケンスを示すフローチャートである。

【0092】

最初に、Vp_{gm}の初期値を格納するレジスタをリセットする (Vp_{gm} ini Register Reset)。このレジスタは、カウンタの機能を有しており、制御回路からインクリメント信号が発せられるとレジスタ内のデータをインクリメントする。

【0093】

次に、所望のプログラムループ数を入力し、所定のレジスタに格納する (Program Loop # Input)。この状態で自動プログラム (Auto Program) を実行すると、入力されたループ回数分Vp_{gm}がステップアップされる。プログラム後のパス／フェイル (Pass/Fail) 情報は前記第2のステータスレジスタに格納する。

【0094】

この段階でレジスタコントロールコマンドを入力すると (Input Register Control Command)、プログラムステータスがフェイル (Fail) であればVp_{gm}の初期値のレジスタ値がインクリメントされ、パス (Pass) であればそのレジスタ状態が保持される。従って、この自動プログラムとレジスタコントロールの組を所定回数分繰り返した後は、Vp_{gm}の初期値のレジスタに所望のプログラムループ数で書き込みが終了するようなVp_{gm}の初期値が入力されていることになる。

【0095】

図6は、上記のシーケンスで書き込み電圧Vp_{gm}がどのように変化していくかを示したフローチャートである。ここでは、プログラムループ数は5回に設定されている。

【0096】

第1回目の書き込みシーケンス (Sequence) では Vpgm の初期値は最小の値に設定されている。ここから Vpgm の値が4回ステップアップ (Step Up) し、その後ステータスが判定される。ステータスがフェイル (Status Fail) の間は Vpgm の初期値がインクリメントされ続け、ステータスがパス (Status Pass) となったら Vpgm の初期値はその状態を保つ。従って、所定回数このシーケンスを繰り返した後は、Vpgm の初期値がそのチップに応じた最適値に設定されていることになる。

【0097】

なお、プログラム時は非選択ワード線電圧 Vpass もステップアップする。この Vpass の初期値は、Vpgm の初期値に連動して変わるよう設定しておけばよい。

【0098】

また、ここでは、Vpgm の初期値の最適化の方法のみを説明したが、必要であれば消去電圧 Verase の初期値も同様の方法で最適化できる。

【0099】

再び、図3のフローチャートに戻ってウェハ・テスト工程を説明する。

【0100】

(7) 不良メモリブロック検出 (Bad Block Detection)

NAND型フラッシュメモリではブロック不良に対してはフラグ Flag (Bad Block Flag) を立て、リダンダンシ置き換えは行なわない。

【0101】

(8) オプション・セット (Option Set)

これまでの操作で、メモリセルアレイ 11 の初期設定データ領域に格納するデータのうち、各種トリミングやセルアレイ部の不良に関する情報は確定したことになる。初期設定データ領域にはこの他、チップのオプション (Option) に関する情報、例えばチップを多値品として使うか2値品として使うかなどの情報が書き込まれる。こうした情報は、この時点でテストから各チップに入力する。入力されたデータは所定のレジスタに格納される。

【0102】

(9) ROMヒューズ・プログラム (ROM-Fuse Program)

ここでは、各レジスタに格納されているデータを順次ページバッファに転送し、次いで初期設定データ領域に書き込む。書き込みが終了したら電源を一旦切り、再度電源を投入する。チップ内ではパワーオンを検知して初期設定データ領域からデータが読み出され、各レジスタに順次データが転送される。これにより各種トリミングやセルアレイ部の不良に関する情報が以降のチップ動作に反映される。必要ならば、これを検証するために各種電圧、タイマーをモニタしたり、メモリセルへの書き込み／消去／読み出し動作を行なう。

【0103】

(10) パワーオフ、オン時のレジスタ状態の検証 (Power Off, On Verification of Register State)

なお、上記したようなウェハ・テストのうち、(2) のデフォルト・リセットから(9) のROMヒューズ・プログラムまでの工程は、電源を投入した後に電源を切ることなく続けて行われる。

【0104】

次に、上記NAND型フラッシュメモリにおける本発明の特徴について詳細に説明する。

【0105】

図7(a)、(b)は、図1のNAND型フラッシュメモリにおける書き込み開始電圧を設定する回路の一例を示すブロック図およびその動作例を示すタイミング波形図である。

【0106】

図7(a)、(b)において、複数のレジスタからなるNビットのバイナリカウンタレジスタ(第1のカウンタ)71は、初期値が設定された後、第1のクロックCLK1により 2^m ずつカウントアップすることが可能であり、その出力を書き込み電圧データとして書き込み電圧制御回路77に供給する。上記クロックCLK1は、書き込み後のペリファイ動作がフェイルする毎に供給されるものであり、上記フェイル毎に書き込み電圧データが大きくなり、再書き込みのための書き込みバイアスを増加させていくことになる。

【0107】

なお、上記第1のカウンタ71は、その出力（バイナリデータ）中の 2^m の重みを有するビットに対応するステージより後段にクロックCLK1を入力することにより、 2^m ずつカウントアップすることが可能になる。

【0108】

複数のレジスタからなるLビットのバイナリカウンタ（第2のカウンタ）72は、第1のタイミングでリセットされ、Lビットの初期値が設定された後、第2のクロックCLK2により 2^k （ $k < m$ ）ずつカウントアップすることが可能であり、その出力を第1のカウンタ71に書き込み初期電圧データとして供給する。

【0109】

書き込み制御回路78は、ベリファイ書き込み動作の進行に伴って、第1のレジスタ73の内容を参照して前記クロックCLK1、CLK2を生成するものである。

【0110】

第1のレジスタ73は、テスト時にターゲットとなる書き込み単位に対する書き込みの繰り返し回数を設定するためのものであり、外部入力により設定することが可能である。

【0111】

ここで、前記第2のカウンタ72のリセットタイミングは、前記ターゲットとなる書き込み単位を新たに選択した時である。

【0112】

第2のレジスタ75は、書き込み電圧の適正値を求めるテストを幾つの書き込み単位で実施するか、あるいは実施したかを示すデータEを記憶するものであり、外部からデータが入力する、または、テストの実施回数を数えるものである。

【0113】

さらに、前記複数の書き込み単位でテストをした結果により得られる第2のカウンタ72の内容の累積値に相当する値を記憶する累積値記憶回路として、例えば複数のレジスタからなるバイナリカウンタ（第3のカウンタ）74が設けられている。この第3のカウンタ74は、前記第2のカウンタ72とは異なる第2のタイミングでリセットされ（テスト開始時にリセットされるが、前記ターゲットとなる書き込み単位を新たに選択した時にはリセットされない）、前記クロック

CLK2によりカウントアップする。

【0114】

平均値回路79は、前記第3のカウンタ74のデータDおよび前記第2のレジスタ75で示されるテスト回数データEを受け、データD/Eに相当する論理処理を行って前記複数の書き込み単位でテストをした書き込み回数の平均値を算出する。この場合、テスト回数データEがiビットで表わされるものとする、第3のカウンタ74のカウント値の下位iビットを除いた上位ビットのデータを取り出す処理を行なう。そして、算出した平均値に予め規定したオフセット電圧を加えた値を書き込み電圧の初期値として不揮発性記憶素子76に書き込む。

【0115】

なお、上記構成は、ベリファイ書き込み動作に着目して説明したが、ベリファイ消去動作に着目した場合には、書き込みを消去に置き換えればよい。

【0116】

図8は、図7(a)の回路を用いて書き込み電圧の適正値を設定するテスト方法の一例を示すフローチャートである。

【0117】

(ステップS1)

テスト時にターゲットとなる書き込み単位に対する書き込みの繰り返し回数を第1のレジスタ73に設定した後、第3のバイナリカウンタ74をリセットする。

【0118】

(ステップS2)

書き込みアドレスを指定して第1の書き込み単位（または消去単位）を選択し、第2のカウンタ72をリセットする。

【0119】

(ステップS3)

書き込み開始電圧を示す第2のカウンタ72の値を第1のカウンタ71にロード（設定）する。

【0120】

(ステップ S4)

ターゲットとなる書き込み単位のメモリセルに対する消去を行なう。

【0121】

(ステップ S5)

ターゲットとなる書き込み単位のメモリセルに対して、第1のカウンタ71に設定されている書き込み電圧での書き込みおよび書き込みベリファイを行い、ベリファイの結果がパス（書き込みが完了した）の場合はステップ S9に進み、フェイルであった（書き込みが完了しなかった）場合はステップ S6に進む。

【0122】

(ステップ S6)

第1のクロックCLK1を生成し、第1のカウンタ71のカウント値（書き込み電圧を示す）をインクリメントさせる。そして、第1のカウンタ71のカウント値が第1のレジスタ73に設定されている回数に達したか否かを判定し、達していない場合にはステップ S5に戻り、達した場合にはステップ S7に進む。ステップ S5に戻った場合は、第1のカウンタ71の新たなカウント値（それまでより高い電圧を示す）でターゲットとなる書き込み単位のメモリセルに対する書き込みおよび書き込みベリファイを行なう。つまり、書き込みベリファイの結果がパスになるまで、または、第1のレジスタ73に設定されている回数だけ、ステップ S5のループ動作を繰り返す。

【0123】

(ステップ S7)

第2のカウンタ72のカウント値が最大値MAX（最大書き込み開始電圧）に達しているか否かを判定し、達していない場合はステップ S8に進み、達した場合（つまり、第2のカウンタ72のカウント最大値MAXに達するまで前記ステップ S5、S6の動作をだけ繰り返しても、書き込みベリファイの結果がフェイルであった場合）は、ループから抜けてステップ S9に進む。

【0124】

(ステップ S8)

第2のクロックCLK2を出力し、第2のカウンタ72のカウント値をインクリメ

ントさせ、かつ、第3のカウンタ74のカウント値をインクリメントさせた後、前記ステップS3に戻る。ステップS3に戻った場合は、それまでより高い新たな開始電圧で、ステップS4以降の動作を行なう。

【0125】

(ステップS9)

前記ステップS5またはSにおいてループから抜けると、第1の書き込み単位(または消去単位)でのテストを終了し、第2のレジスタ75により指定されているテスト回数に達したか否かを判定し、達していない場合(No、テスト回数が不足している)にはステップS2に戻り、達した場合(Yes)には、テストを終了する。

【0126】

ステップS2に戻った場合は、第2の書き込み単位(または消去単位)を選択して前記したステップS2以降の動作によるテストに再び移り、第2のレジスタ75で指定されたテスト回数に達するまで上記テストを繰り返す。

【0127】

この際、第2のカウンタ72は、前記第1の書き込み単位における適正な書き込み開始電圧が記憶されているが、リセットされる。これに対して、第3のカウンタ73はリセットされない。

【0128】

したがって、第3のカウンタ74のカウント値は、前記したステップS2以降の動作によるテストを繰り返す過程で、テスト回数分の第2のカウンタ72のカウント値の和、つまり、各書き込み単位でテストを始めた時から書き込みが完了した時までの書き込み回数を2進数で表した累積値を示す。

【0129】

テストを終了すると、前記各カウンタ71、72、73のカウントアップ動作を止め、平均値回路79により前記複数の書き込み単位でテストをした書き込み回数の平均値を算出し、この平均値に予め規定したオフセット電圧を加えた値を書き込み電圧の初期値として不揮発性記憶素子76に書き込む。

【0130】

通常使用時には、不揮発性記憶素子 7 6 に記憶されている初期値がチップ内部で自動的に、あるいは外部入力コマンドに基づいて第 2 のカウンタ 7 2（またはそれに相当するレジスタ）にロードされ、さらに、このレジスタの値（もしくはこれに既定値を加えた値）が第 1 のカウンタ 7 1 にロードされた後に書き込み動作が開始される。

【 0 1 3 1 】

なお、図 8 のフローチャートは、書き込み電圧の適正値を設定する方法の一例を示したが、消去電圧の適正値を設定する際も図 8 のフローチャートに準じて（書き込みと消去とを読み替えて）実施することが可能である。

【 0 1 3 2 】

なお、本発明は、上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。したがって、本発明の不揮発性半導体メモリは、メモリ専用の集積回路に限らず、メモリ混載集積回路も含む。

【 0 1 3 3 】

【発明の効果】

上述したように本発明の不揮発性半導体メモリ及びそのテスト方法によれば、チップ毎の書き込みまたは消去の開始電圧の適正値を、複数の書き込み単位または消去単位から得られた平均値で設定することが可能になるので、メモリの安定した動作が期待される。また、上記平均値を求める手法が大変簡易であるので、回路構成が簡単になり、メモリチップのシュリンクに効果がある。

【図面の簡単な説明】

【図 1】

本発明に係る NAND 型フラッシュメモリの概略的な構成を示すブロック図。

【図 2】

図 1 のメモリのメモリセルアレイの一部の構成を示す回路図。

【図 3】

図 1 のメモリのウェハ・テスト工程を示すフローチャート。

【図 4】

図1のメモリにおける正常なメモリブロックのサーチのシーケンスを示すフローチャート。

【図5】

図1のメモリにおけるV_{pgm}初期値トリミングのシーケンスを示すフローチャート。

【図6】

図5のシーケンスで書き込み電圧V_{pgm}がどのように変化していくかを示すフローチャート。

【図7】

図1のNAND型フラッシュメモリにおける書き込み開始電圧（または消去開始電圧）を設定する回路の一例を示すブロック図およびその動作例を示すタイミング波形図。

【図8】

図7の回路を用いて書き込み電圧（または消去電圧）の適正值を設定するテスト方法の一例を示すフローチャート。

【図9】

NAND型フラッシュメモリにおける読み出し／書き込み動作を説明するために関連する構成を概略的に示すブロック図。

【図10】

NAND型フラッシュメモリのメモリセル（セルトランジスタ）に対するデータの書き込み動作時のバイアス関係を示す断面図。

【図11】

NAND型フラッシュメモリの読み出し時のメモリセルユニットのバイアス関係を示す等価回路図。

【図12】

NAND型フラッシュメモリのチップ全体に適当な書き込みバイアスを加えた場合の書き込み後のセルトランジスタの閾値のばらつきを示す分布図。

【図13】

NAND型フラッシュメモリにおけるベリファイ書き込み時の書き込みバイア

スの経時変化を示す図。

【図 1 4】

NAND型フラッシュメモリにおけるベリファイ書き込み時の書き込みバイアスの変化とセルトランジスタの閾値の分布を示す特性図。

【図 1 5】

従来のNAND型フラッシュメモリのウェハ・テスト工程を概略的に示すフローチャート。

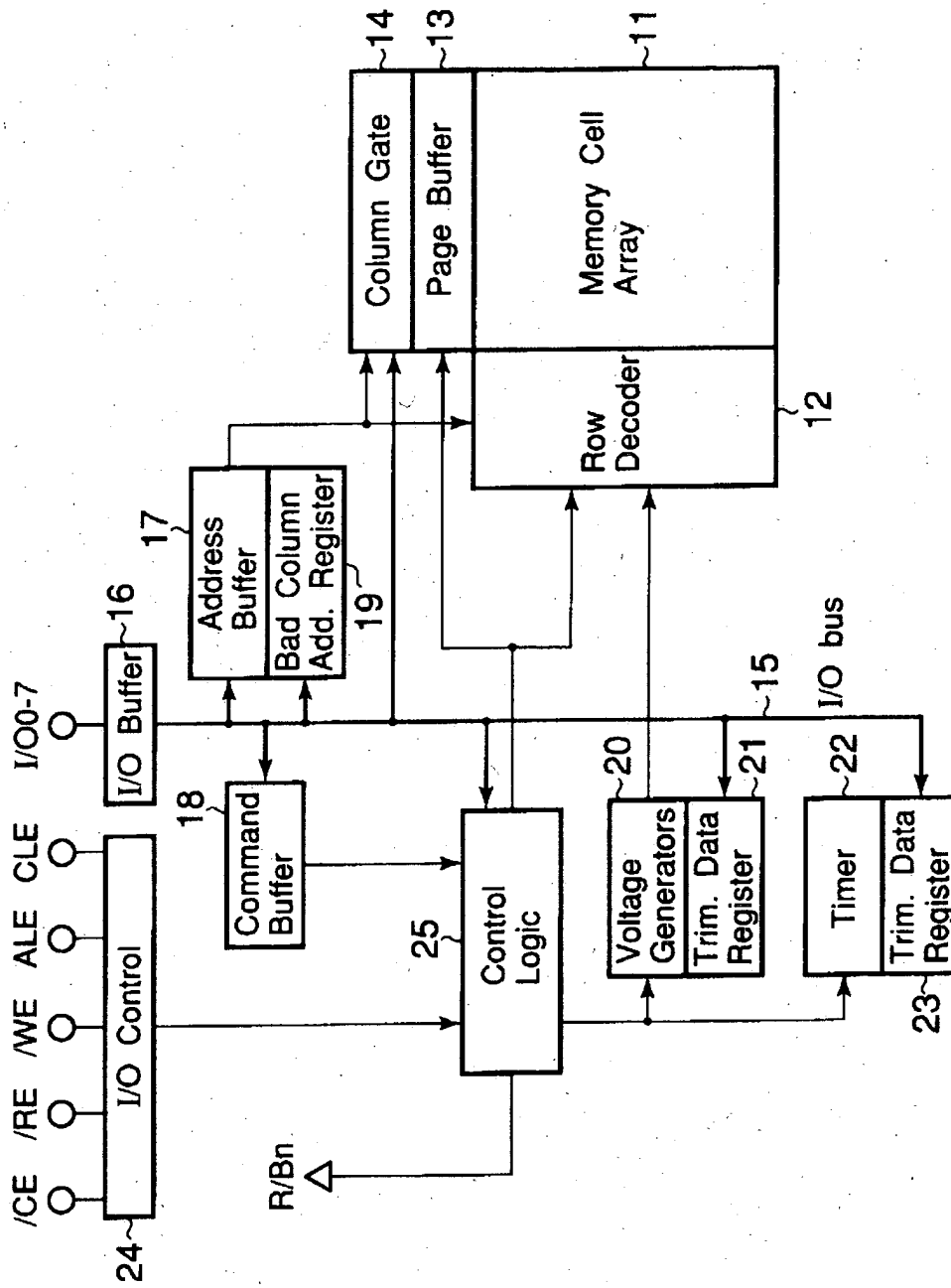
【符号の説明】

- 7 1 …第 1 のバイナリカウンタ、
- 7 2 …第 2 のバイナリカウンタ、
- 7 3 …第 1 のレジスタ、
- 7 4 …第 3 のバイナリカウンタ（累積値記憶回路）、
- 7 5 …第 2 のレジスタ、
- 7 6 …不揮発性記憶素子、
- 7 7 …書き込み電圧制御回路、
- 7 8 …書き込み制御回路、
- 7 9 …平均値回路。

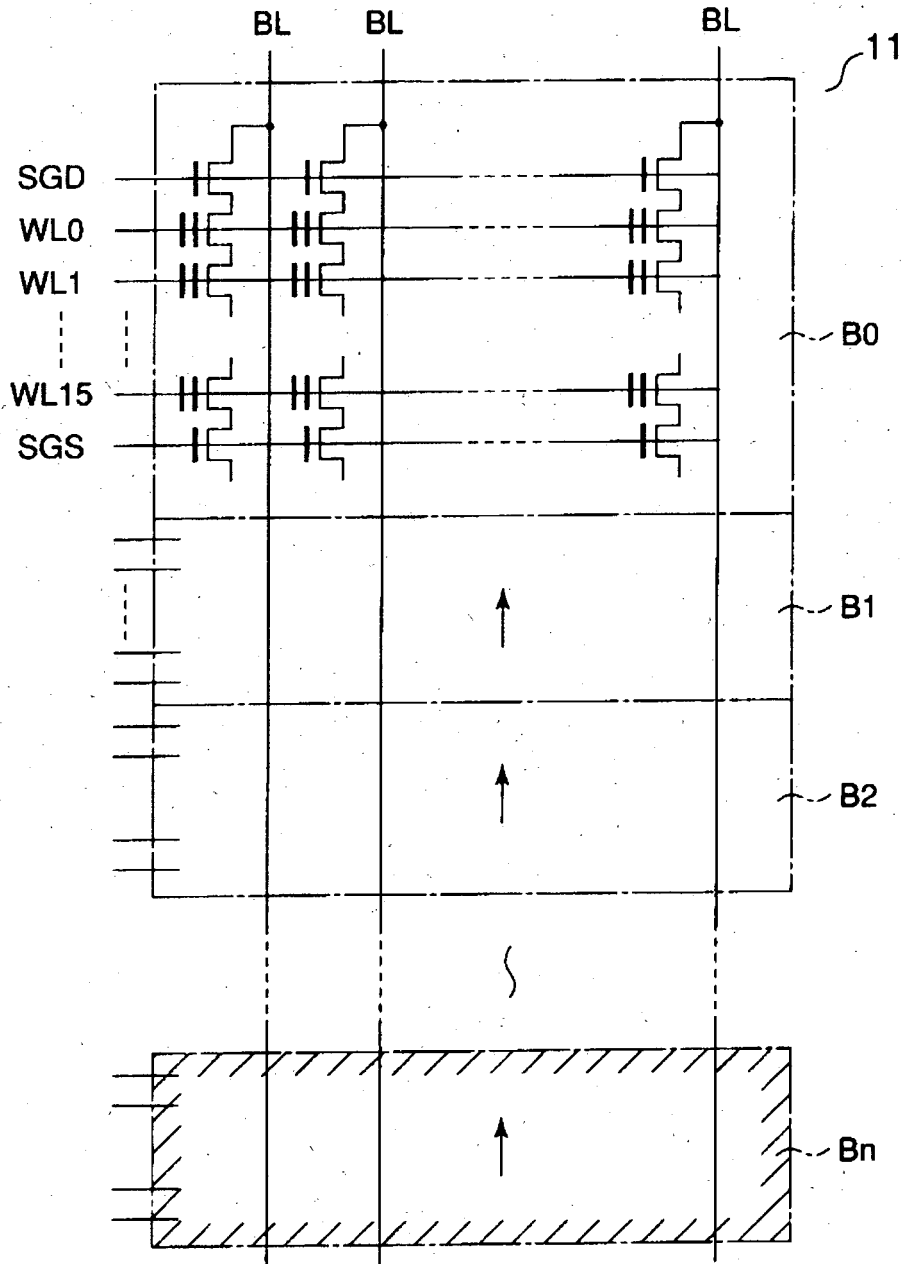
【書類名】

図面

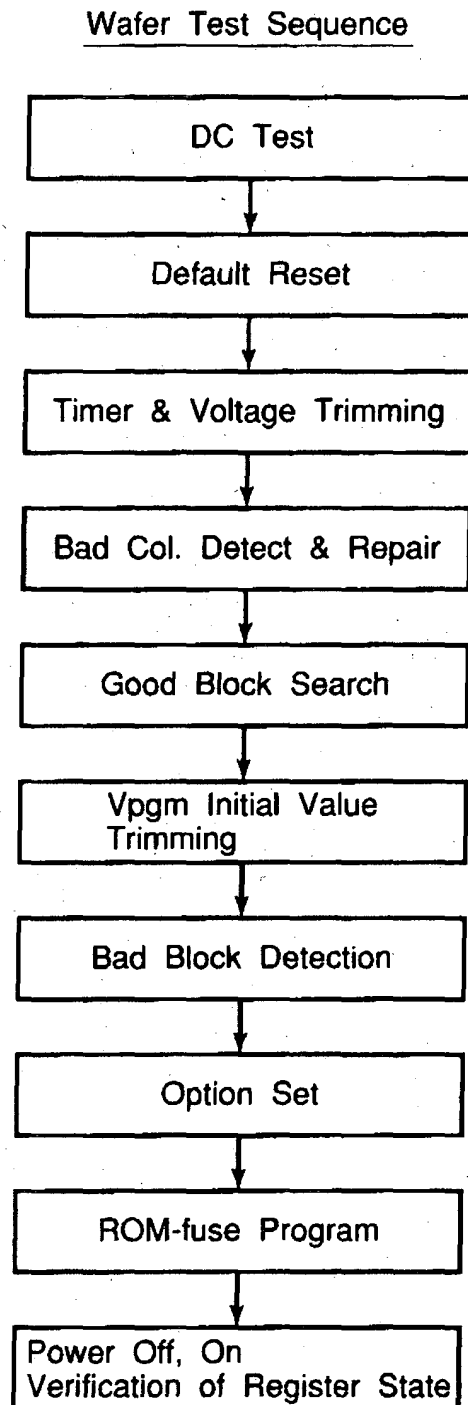
【図 1】



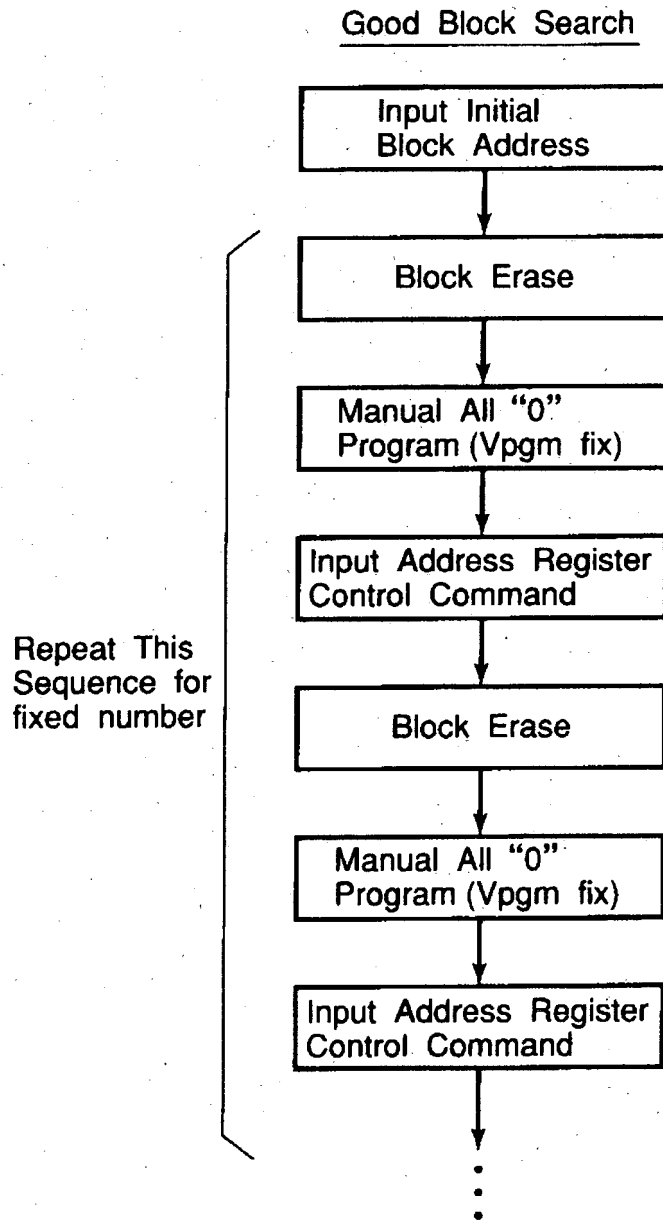
【図 2】



【図3】

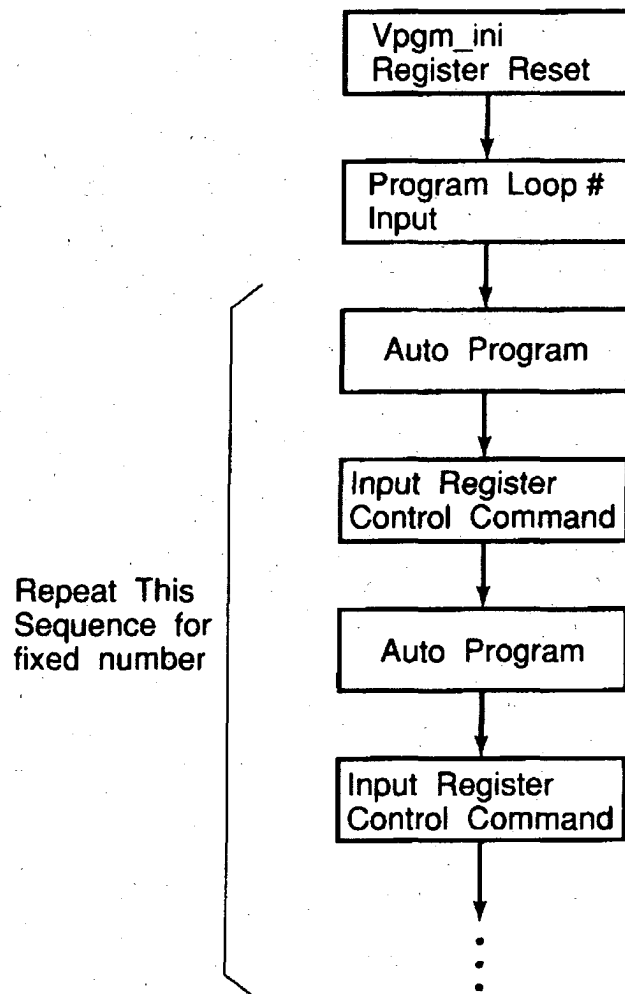


【図 4】

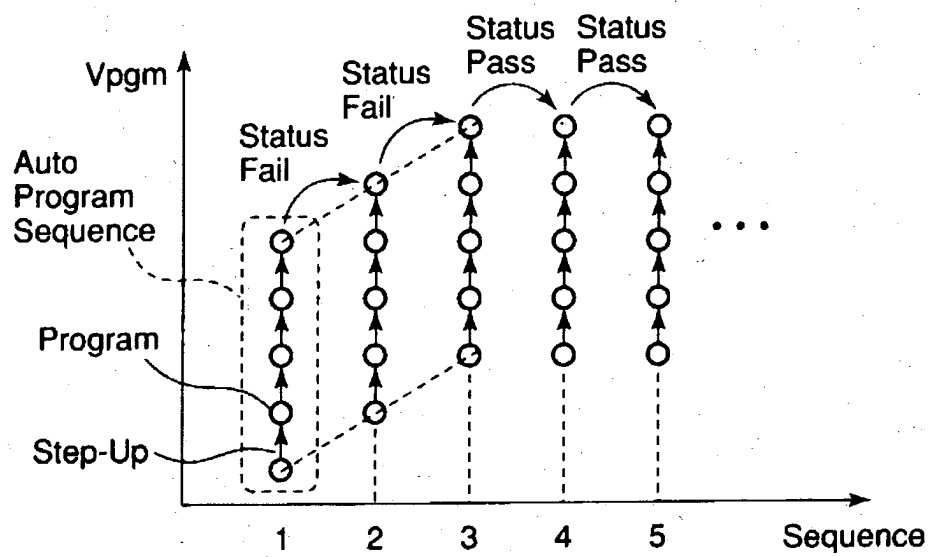


【図 5】

Vpgm Initial Value Determination

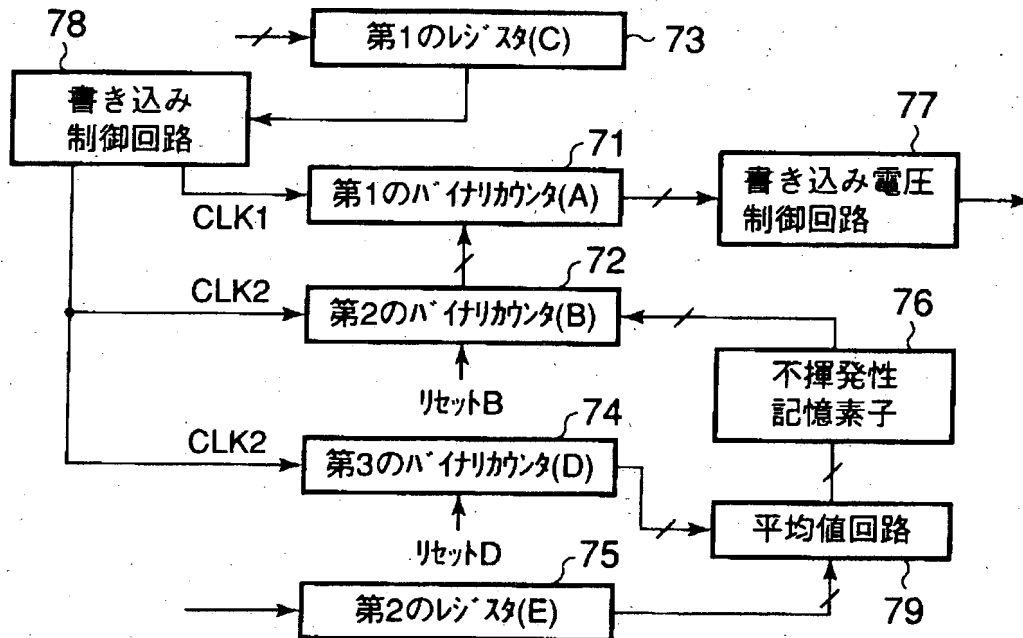


【図 6】

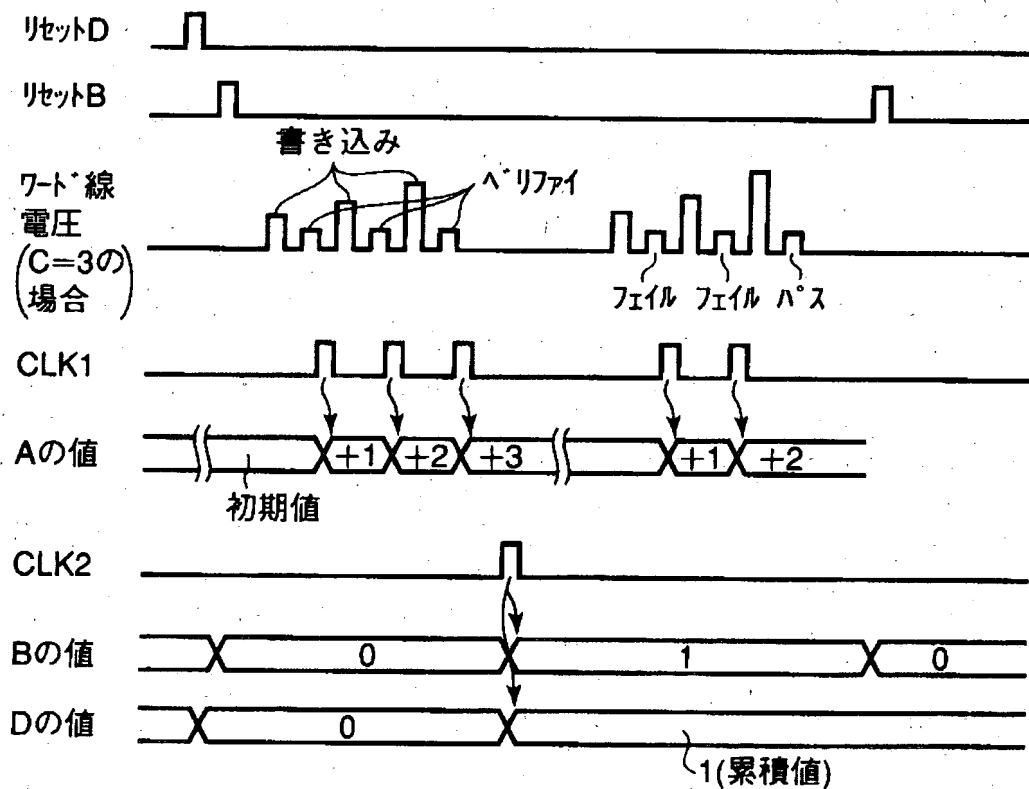


【図7】

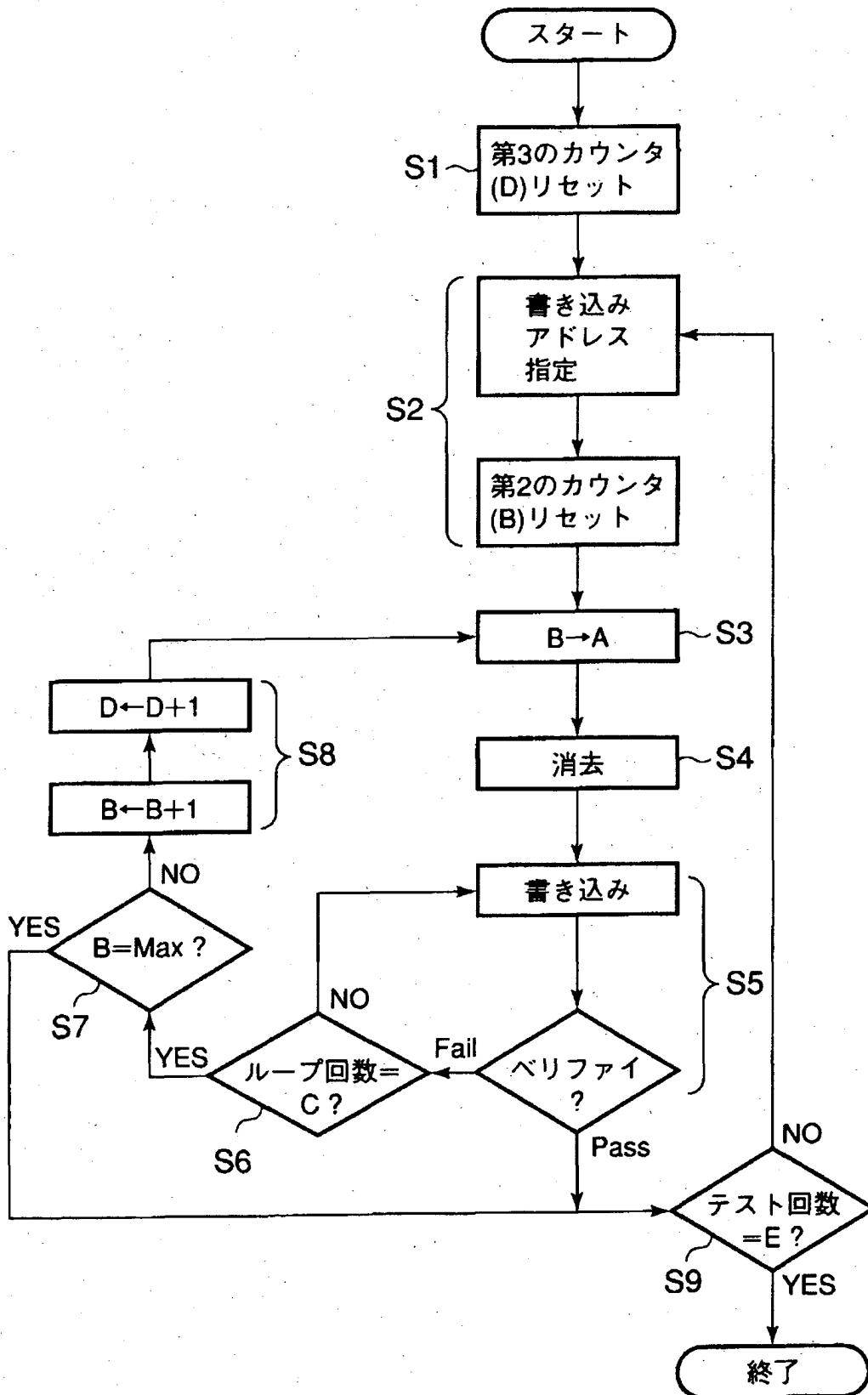
(a)



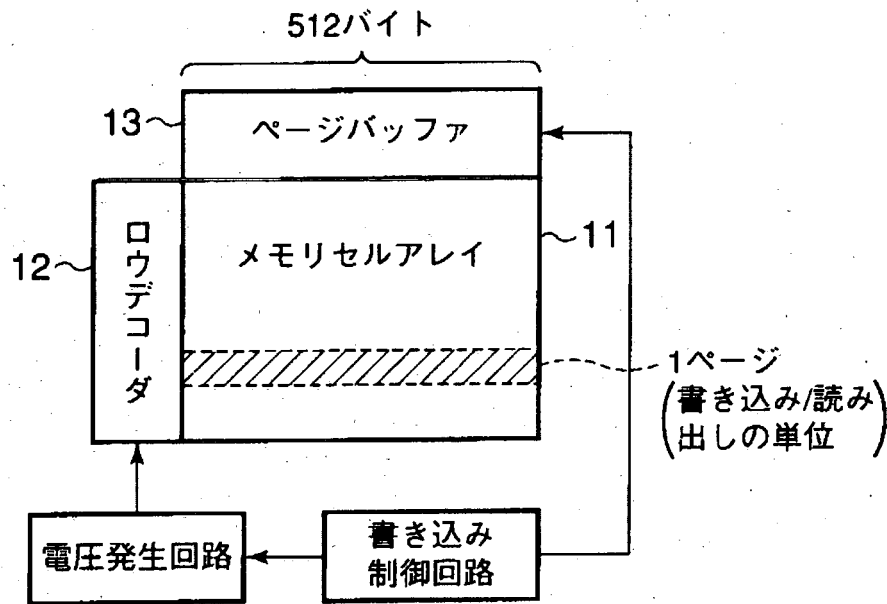
(b)



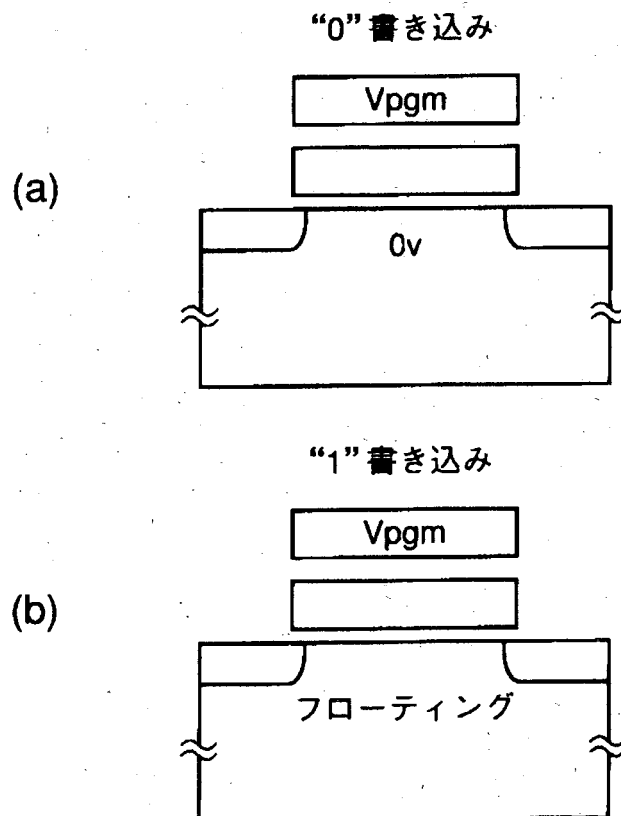
【図 8】



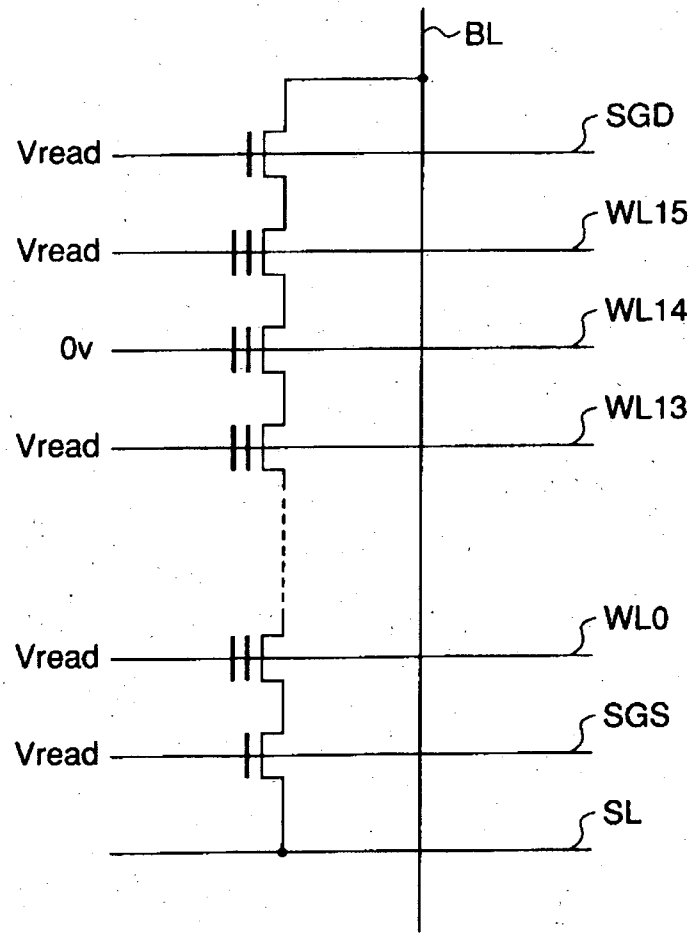
【図9】



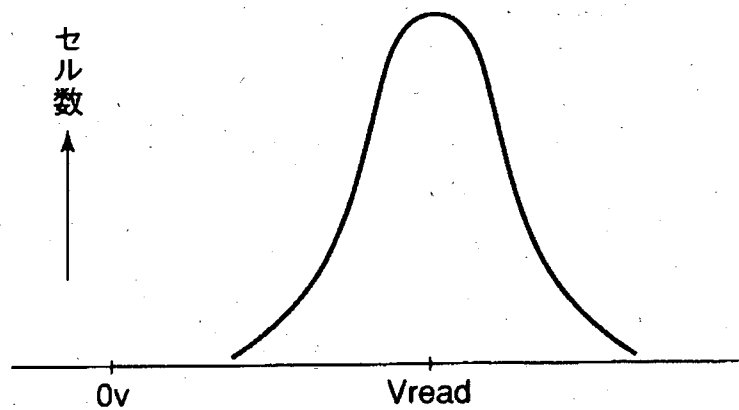
【図10】



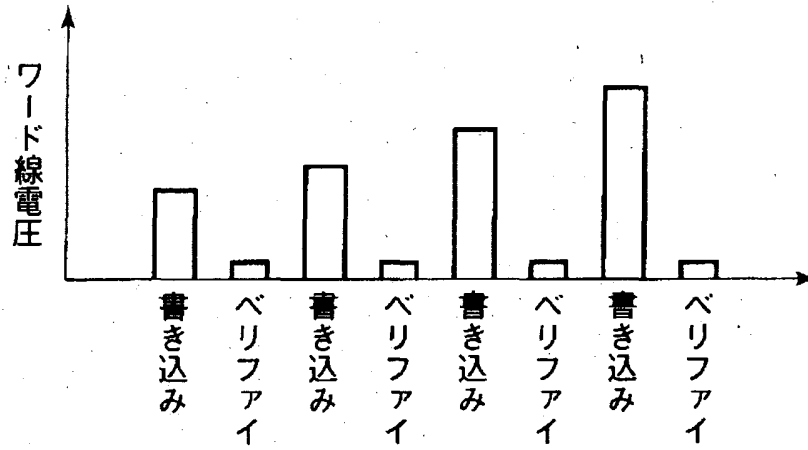
【図 1 1】



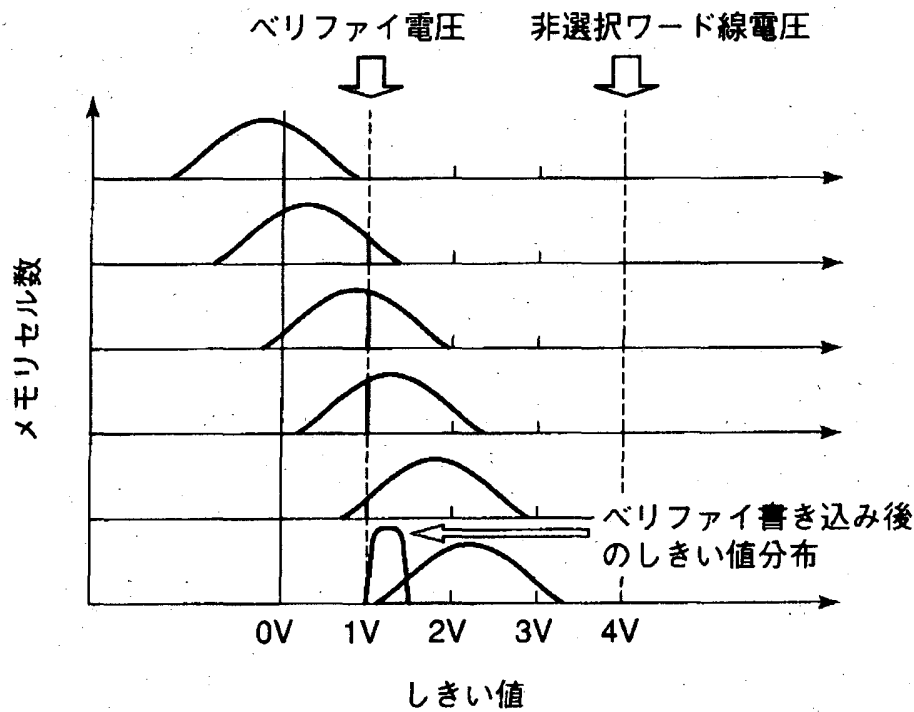
【図 1 2】



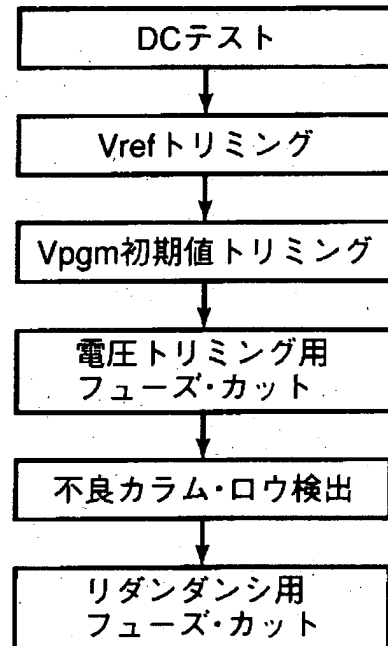
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 チップ毎の書き込みの開始電圧の適正値を、複数の書き込み単位から得られた平均値で設定し、メモリの動作を安定化する。

【解決手段】 NAND型フラッシュメモリにおいて、書き込みの各ステップで電圧を変化させながらベリファイ書き込みを行なう際、書込電圧データを書込電圧制御回路 77 に供給するためのバイナリカウンタ 71 に書込電圧の初期値を設定した後、クロック信号をカウントさせて各ステップにおける書込電圧を高くしていき、ベリファイ書き込みをパスするまでターゲットとなる書き込み単位に対してベリファイ書き込みをレジスタ 73 の指定回数まで繰り返す。この動作を複数の書き込み単位に対してレジスタ 75 の指定回数まで繰り返し、カウンタ 74 が示す書込電圧の累積値の平均をとってメモリチップの書き込み開始電圧の適正値を求めて不揮発性記憶素子 76 に記憶する。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝